

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

대한민국 특허청 (KR)
①공개 실용 신안 공보 (U)

제 716 호

①InL CL.
H 01 L 21/56

②공개일자 1994. 1. 3
③출원일자 1992. 6. 10

①공개번호 94-1979
②출원번호 92-10285
심사정구: 없음

④고안자나 춘수 서울특별시 강남구 역삼동 현대빌라 107-202

⑤출원인 드성일렉트론 주식회사 대표이사 문경원

충청북도 청주시 흥덕구 흥덕로 50번지

⑥대리인 변리사 박창원

(전 2 단)

⑦반도체 패키지

◎ 요약

본 고안은 반도체 패키지의 구조에 관한 것으로 반도체 패키지에 있어서 반도체 칩이 부착 고정되는 리드 프레임의 쟁돌과 상기 칩에 와이어 본딩되는 다수개의 외부연결 리드가 패키지의 저면으로 노출되도록 리드프레임의 상부측만 예폭시 용당 첨파운드로 용당하여 구성한 것이다.

즉 리드 프레임은 기존한 상부측은 예폭시 용당 첨파운드로 용당하고 하부측은 쟁돌로서 인텔리비이션 역할을 하도록 함으로써 패키지의 전체적인 두께를 보다 작게하여 경량화에 기여하고, 신장률을 보다 높힐 수 있다는 효과와 아울러 포팅동정이 저거되는 등 치조증경이 단순화되며, 칩의 전기적인 특성이 보다 좋아지는 등의 여러 효과가 있다.

실용신안 등록청구의 범위

1. 반도체 패키지 구조에 있어서, 반도체 칩(11)이 부착 고정되는 티드 프레임의 쟈운(12)가 상기 칩(11)이
와이어 풀딩되는 다수개의 외부연결 티드(13)가 패키지의 저연으로 노출되도록 티드 프레임의 상부측면에 풀-
풀딩 첨화온드(14)로 풀딩하여 구성함을 특징으로 하는 반도체 패키지.)

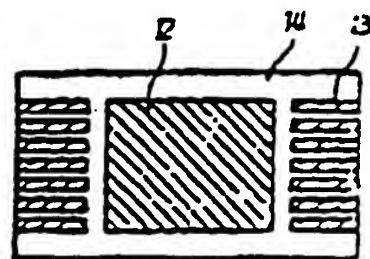
2. 제1항에 있어서, 상기 티드 프레임은 그의 끝들(12)과 외부연결 티드(13)가 수평상태로 형성되거나, 또는
제2(12)을 들어올린 엎-엇구조로 형성됨을 특징으로 하는 반도체 패키지.

* 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제3도는 본 고안에 의한 반도체 패키지의 구조를 보이는 도면으로서, 제3도는 제2도의 거연도. 제4도는 본
고안에 의한 반도체 패키지의 실장상태를 보인 단면도.

제3도



제4도

